

SYNCHRONIZATION ACQUISITION SYSTEM

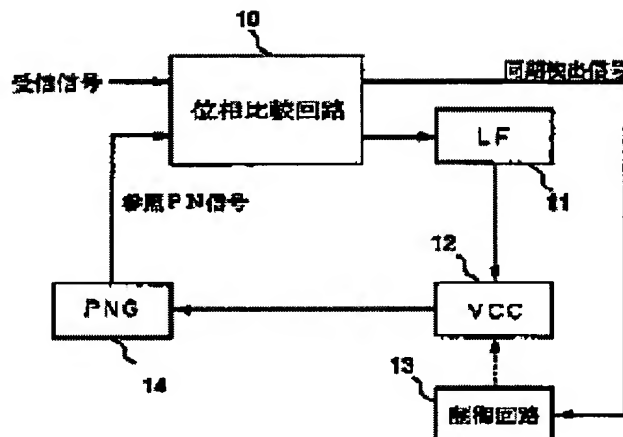
Patent number: JP8065204
Publication date: 1996-03-08
Inventor: TAKAHASHI SOICHI
Applicant: RICOH KK
Classification:
 - international: **H04B1/707; H04L7/00; H04B1/707; H04L7/00; (IPC1-7): H04B1/707; H04L7/00**
 - european:
Application number: JP19940195483 19940819
Priority number(s): JP19940195483 19940819

Report a data error here

Abstract of JP8065204

PURPOSE: To eliminate the fluctuation due to a temperature and an elapsed time and the dispersion among products by shifting a phase in the unit of tips so as to retrieve a phase matching point thereby eliminating the fluctuation in a clock signal in the case of transition from the acquisition of synchronization to synchronization tracking and thereby improving the synchronization tracking performance and controlling digitally a phase shift of a PN signal so as to warrant a constant phase shift at all times.

CONSTITUTION: A gate control signal pulse is outputted at each time interval sufficient to take the correlation between a reference PN signal and a received signal in the case of a synchronization state of a PN signal synchronization circuit so as to stop tentatively a clock signal of a voltage controlled clock generating circuit 12 thereby stopping the supply of the clock signal to a PN signal generator 14 tentatively resulting in shifting the phase of the reference PN signal. A phase comparator circuit 10 detects a phase matching point by taking the correlation while shifting the phase of the reference PN signal.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-65204

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 B 1/707

H 0 4 L 7/00

C

H 0 4 J 13/ 00

D

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平6-195483

(22) 出願日 平成6年(1994)8月19日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 高橋 聡一

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

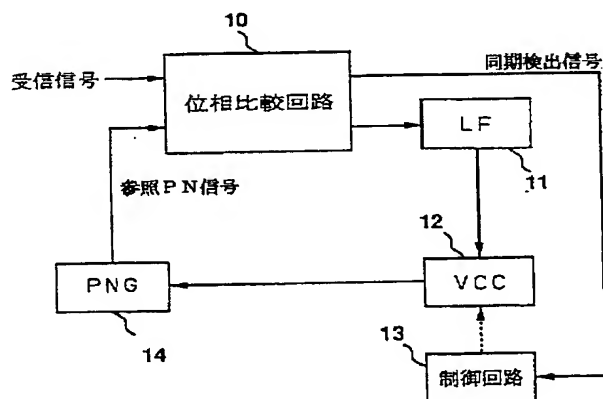
(74) 代理人 弁理士 高野 明近

(54) 【発明の名称】 同期獲得方式

(57) 【要約】

【目的】 位相をチップ単位でシフトさせて位相一致点を探索することにより、同期獲得から同期追従に移行する際のクロック信号の変動をなくし、同期追従特性を向上させる。また、PN信号の位相シフト量をデジタル的に制御することにより、常に一定の位相シフト量を保証し、温度や時間の経過による変動、製品間のばらつきをなくす。

【構成】 PN信号同期回路が非同期状態では、参照PN信号と受信信号との相関を取るのに十分な時間間隔毎にパルス状のゲート制御信号を出力して、電圧制御クロック発生回路12のクロック信号を一時的に停止させ、もって、PN信号発生器14へのクロック供給を一時的に停止させて参照PN信号の位相をシフトする。位相比較回路10では、参照PN信号の位相をシフトさせながら相関を取ることで、位相一致点を検出することができる。



【特許請求の範囲】

【請求項 1】 P N 信号同期回路が非同期状態において、受信信号と参照 P N 信号との相関を検出するのに十分な時間間隔毎に、参照 P N 信号発生回路を駆動する電圧制御クロック発生回路のクロック信号を一時的に停止させ、参照 P N 信号の位相を受信信号中の P N 信号に対してシフトさせることにより位相一致点を探索することを特徴とした同期獲得方式。

【請求項 2】 P N 信号同期回路が非同期状態において、受信信号と参照 P N 信号との相関を検出するのに十分な時間間隔毎に、参照 P N 信号発生回路に入力される電圧制御クロック発生回路のクロック信号の供給を一時的に停止させ、参照 P N 信号の位相を受信信号中の P N 信号に対してシフトさせることにより位相一致点を探索することを特徴とした同期獲得方式。

【請求項 3】 P N 信号同期回路が同期状態において、電圧制御クロック発生回路からの N_1 分周 (N_1 は自然数) されたクロック信号によって参照 P N 信号発生回路を駆動し、参照 P N 信号の同期維持を行ない、P N 信号同期回路が非同期状態において、前記電圧制御クロック発生回路からの N_2 分周 (N_2 は自然数かつ $N_1 \neq N_2$) されたクロック信号によって前記参照 P N 信号を駆動し、該参照 P N 信号の位相を受信信号中の P N 信号に対してシフトさせることにより位相一致点を探索することを特徴とした同期獲得方式。

【請求項 4】 P N 信号同期回路が同期状態において、電圧制御クロック発生回路からの N_1 分周されたクロック信号によって参照 P N 信号発生回路を駆動し、参照 P N 信号の同期維持を行ない、P N 信号同期回路が非同期状態において、受信信号と参照 P N 信号との相関を検出するのに十分な時間間隔毎に、一定の時間だけ前記電圧制御クロック発生回路からの N_2 分周されたクロック信号によって前記参照 P N 信号を駆動し、該参照 P N 信号の位相を受信信号中の P N 信号に対してシフトさせることにより位相一致点を探索することを特徴とした同期獲得方式。

【請求項 5】 請求項 1 または請求項 2 または請求項 3 において、P N 信号同期回路に 1 Δ 型遅延ロックスループを使用し、受信信号と参照 P N 信号との相関を検出するのに十分な時間間隔毎に参照 P N 信号の位相変動量を 2 チップ分だけシフトさせることにより位相一致点を探索することを特徴とした同期獲得方式。

【請求項 6】 請求項 1 または請求項 2 または請求項 4 において、非同期時に参照 P N 信号のチップ速度と受信信号中の P N 信号のチップ速度に差を発生させ、位相一致点を探索することを特徴とした同期獲得方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、同期獲得方式、より詳細には、スペクトル拡散通信における同期回路の同期捕

捉に関する。

【0002】

【従来の技術】 スペクトル拡散通信は、送信系において、送信信号を疑似雑音信号 (以下、これを P N 信号と記す) によって情報信号を拡散して送信し、受信系においては、この信号を受信し、送信系で使用している P N 信号と同じ P N 信号によって逆拡散して情報を復調する通信方式である。この通信方式では、受信系において、受信信号を逆拡散して情報信号を取りだすためには、受信信号中に含まれる P N 信号と同期の取れた P N 信号を発生させることが必要となる。そのため、通常は、フィードバック制御を用いた P N 信号同期回路が用いられる。

【0003】 P N 信号の同期回路では、通常、P N 信号同期回路で生成する P N 信号 (以下、これを参照 P N 信号と記す) と受信信号との相関を用いて、受信信号中の P N 信号と参照 P N 信号との位相差を検出する。例えば、一般に知られる P N 信号同期回路であるノンコヒーレント遅延ロックスループでは、図 10 に示す位相比較特性を利用している。

【0004】 ところが、図 10 からわかるように P N 信号の自己相関特性を利用した同期回路は、P N 信号同士の間で位相差が一定の範囲でのみ同期追従が可能である。このため、最初に同期を獲得する場合、または同期が外れた場合などは、同期追従可能な範囲まで受信信号中の P N 信号と参照 P N 信号との位相差を狭める必要がある。このため、通常の P N 信号同期回路には同期獲得のための回路が付加される。

【0005】 図 4 は、同期獲得の従来例を示す図で、図中、10 は位相比較回路であり、受信信号中の P N 信号と参照 P N 信号との位相比較を行なう回路である。11 はループフィルタ (L F) であり、位相比較回路 10 からの位相誤差信号のノイズ成分を除去するフィルタである。12 は電圧制御クロック (V C C) 発生回路であり、入力される制御信号に応じた周波数のクロック信号を発生する。14 は P N 信号発生回路 (P N G) であり、電圧制御クロック発生回路 12 からのクロックによって参照 P N 信号を発生させる回路である。また、30 は信号の切換回路、40 は定電圧発生回路、13 は同期回路の同期/非同期に応じて切換回路 30 を制御する制御回路である。

【0006】 非同期状態において、切換回路 30 は定電圧発生回路 40 側に閉じ、電圧制御クロック発生回路 12 に一定電圧の制御信号を加え、参照 P N 信号を受信信号中の P N 信号に対してシフトさせていく。位相差が小さくなると相関出力が得られ、位相比較回路 10 からの同期検出信号が検出される。同期検出信号によって制御回路 13 は切換回路 30 をローパスフィルタ 11 側に閉じ、同期追従を開始する。

【0007】 電圧制御クロック発生回路 12 からの信号

を N_1 分周した信号と N_2 分周した信号で切り換えてPN信号発生器に入力する(請求項3)ことのみ共通している従来技術として、「特開平5-199205」,「特開平5-219012」,「特開平5-227121」,「特開平5-235897」等がある(特に「特開平5-235897」)が、これらは同期型スペクトル拡散通信(Coherent Spread Spectrum communication)における技術であり、中間周波数の局部発振信号を同期状態と非同期状態で切換え、これをPN信号発生器のクロック信号として用いるものである。

【0008】

【発明が解決しようとする課題】上述のように、従来のPN信号同期回路では、PN信号の初期同期獲得のために、電圧制御クロックの制御信号にオフセット電圧を加えることにより参照PN信号の位相をシフトさせ、位相一致点を探索していた。ところが、この方式は同期獲得直後時に制御信号をオフセット電圧から位相比較回路からの位相誤差信号に切換えるときに、電圧制御クロックのクロック周波数が変動してしまい、同期がはずれる等の問題があった。また、従来方式はアナログ回路で構成されるため、PN信号の位相探索時のシフト量が温度や時間の経過で変動し、また製品間でばらつくという問題点があった。

【0009】

【課題を解決するための手段】本発明は、上記課題を解決するために、(1)PN信号同期回路が非同期状態において、受信信号と参照PN信号との相関を検出するのに十分な時間間隔毎に、参照PN信号発生回路を駆動する電圧制御クロック発生回路のクロック信号を一時的に停止させ、参照PN信号の位相を受信信号中のPN信号に対してシフトさせることにより位相一致点を探索すること、或いは、(2)PN信号同期回路が非同期状態において、受信信号と参照PN信号との相関を検出するのに十分な時間間隔毎に、参照PN信号発生回路に入力される電圧制御クロック発生回路のクロック信号の供給を一時的に停止させ、参照PN信号の位相を受信信号中のPN信号に対してシフトさせることにより位相一致点を探索すること、或いは、(3)PN信号同期回路が同期状態において、電圧制御クロック発生回路からの N_1 分周(N_1 は自然数)されたクロック信号によって参照PN信号発生回路を駆動し、参照PN信号の同期維持を行ない、PN信号同期回路が非同期状態において、前記電圧制御クロック発生回路からの N_2 分周(N_2 は自然数かつ $N_1 \neq N_2$)されたクロック信号によって前記参照PN信号を駆動し、該参照PN信号の位相を受信信号中のPN信号に対してシフトさせることにより位相一致点を探索すること、或いは、(4)PN信号同期回路が同期状態において、電圧制御クロック発生回路からの N_1 分周されたクロック信号によって参照PN信号発生回路を駆動し、参照PN信号の同期維持を行ない、PN信号同期

回路が非同期状態において、受信信号と参照PN信号との相関を検出するのに十分な時間間隔毎に、一定の時間だけ前記電圧制御クロック発生回路からの N_2 分周されたクロック信号によって前記参照PN信号を駆動し、該参照PN信号の位相を受信信号中のPN信号に対してシフトさせることにより位相一致点を探索することの特徴としたものであり、更には、(5)前記(1)乃至(3)において、PN信号同期回路に1 Δ 型遅延ロックループを使用し、受信信号と参照PN信号との相関を検出する十分な時間間隔毎に参照PN信号の位相変動量を2チップ分だけシフトさせることにより位相一致点を探索すること、或いは、(6)前記(1), (2)又は(4)において、非同期時に参照PN信号のチップ速度と受信信号中のPN信号のチップ速度に差を発生させ、位相一致点を探索することの特徴としたものである。

【0010】

【作用】クロック周波数を変化させて参照PN信号の位相をシフトさせるのではなく、位相をチップ単位でシフトさせて位相一致点を探索することにより、同期獲得から同期追従に移行する際のクロック信号の変動をなくし、同期追従特性を向上させる。また、デジタル的にPN信号の位相シフト量を制御することにより、常に一定の位相シフト量を保証し、温度や時間の経過による変動、製品間のばらつき等を無くす。

【0011】

【実施例】

実施例1(請求項1に対応)

図1は、本発明の一実施例を説明するための図で、図中、図4に示した従来技術と同様の作用をする部分には図4の場合と同一の参照番号が付してある。而して、この実施例においては、PN信号同期回路が非同期状態では、参照PN信号と受信信号との相関を取るのに十分な時間間隔毎に、パルス状のゲート制御信号(図7(c)参照)を出力して、電圧制御クロック発生回路12のクロック信号(図7(a)参照)を一時的に停止させる(図7(d)参照)。これによりPN信号発生器14へのクロック供給が一時間に止るので、参照PN信号の位相がシフトされる。このように非同期状態において、参照PN信号の位相をシフトさせながら相関を取ることで、位相一致点を検出することができる。ここで、相関を取る時間間隔は、例えば、PN信号の1周期、またはその数分の1、情報信号のデータ長さ時間、電圧制御クロックのクロックをカウントした時間などを基準とすると簡易な構成にすることができる。

【0012】図7に、この実施例のタイミングチャートを示す。この例ではゲート制御信号(図7(c)参照)のパルス幅を電圧制御クロック(図7(a)参照)の1クロックの幅に設定し、参照PN信号の1回のシフト量を1チップ(チップはPN信号の1シンボルの単位)としたものである。図7(a)は電圧制御クロックのクロ

ック信号、図 7 (b) は位相比較回路からの同期検出信号であり、この例は、非同期時に ON、同期時に OFF (図 7 (b) 参照) となる場合を示している。図 7

(c) はゲート制御信号であり、同期検出信号が ON の状態において、周期的にパルス信号を発生する。図 7

(d) が PN 信号発生回路に入力されるクロック信号である。ゲート制御回路が ON になるたびにクロック信号が停止する。

【0013】実施例 2 (請求項 2 に対応)

また、電圧制御クロック発生回路 12 をゲート制御信号 (図 7 (c) 参照) で停止させ、再び電圧制御クロック発生回路 12 の発振を開始させるようにした場合、該電圧制御クロック発生回路 12 の立上がりに時間がかかる場合がある。実施例 2 は、この点を改良させたもので、図 2 にその回路例を示す。図 2 において、20 はスイッチ回路であり、この実施例では、制御回路 13 からのゲート制御信号 (図 7 (c) 参照) でスイッチ回路 20 を OFF にすることにより、電圧制御クロック発生回路 12 に発生された電圧制御クロックを制御することによるクロック信号の変動をなくすようにしている。

【0014】実施例 3 (請求項 3 に対応)

次に、電圧制御クロック信号をゲート制御信号により制御し、参照 PN 信号の位相をシフトさせる他の実施例として、クロック信号の分周比をゲート制御信号で制御する方法を説明する。図 3 は、その実施例を示す図で、図中、31、32 は分周器であり、電圧制御クロック信号 (図 8 (a')) をそれぞれ、 N_1 、 N_2 に分周 (図 8 (d')) する。ここで、 N_1 、 N_2 は自然数であり、また、 N_1 と N_2 は異なる分周比である。30 は切換回路であり、分周器 31 と分周器 32 からの信号を切換えて PN 信号発生回路に入力する。

【0015】図 8 は、この実施例 3 において、 $N_1 = 1$ 、 $N_2 = 2$ のタイミングチャートを示す図で、この場合、同期検出信号 (図 8 (c')) 参照) で切換回路 30 を直接制御することができ、同期検出信号が ON のときクロック信号を 2 分周した信号 (図 8 (b')) 参照) を PN 信号発生回路 14 に入力し、OFF のときはクロック信号をそのまま入力する。これによって、参照 PN 信号の位相をシフトさせることができる。これを用いることにより、実施例 1、2 で必要であったパルス状のゲート制御信号 (図 7 (b) 参照) が不必要になる。

【0016】実施例 4 (請求項 4 に対応)

さらに、図 3 の回路で構成した場合、ゲート制御信号を実施例 1、2 と同様にパルス状の信号 (図 9 (d')) 参照) にすることにより、電圧制御クロック発生回路 12 への入力信号 (図 9 (e')) 参照) を一時的に停止させ、参照 PN 信号の位相をチップ単位でシフトさせることができる。図 9 は、このときのタイムチャートの例を示す図で、この例では、 $N_1 = 1$ 、 $N_2 = 2$ に設定し、参照 PN 信号を 1 チップ遅らせることにより位相をシフト

した場合を示している。逆に参照 PN 信号の位相を進めて位相をシフトする場合は、 $N_1 > N_2$ と設定すればよい。

【0017】実施例 5 (請求項 5 に対応)

以上には、参照 PN 信号のシフト量を同期判定 1 回毎に 1 チップだけシフトさせるものとして説明したが、このシフト量は PN 信号同期回路の位相差検出範囲に応じて決めればよい。例えば、1 Δ 型の遅延ロックループでは位相比較回路 10 は、図 10 に示すように $\pm 3/2$ チップの位相差まで位相誤差信号を出力できる。このため、1 Δ 型の遅延ロックループでは、図 5 に示すように、シフト量を 2 チップづつシフトさせればよいことになる。

【0018】図 5 は、本実施例の動作説明をするための電気回路図で、図中、点線による四角で囲まれた部分 10 が位相比較回路であり、乗算器 50 とバンドパスフィルタ 52 からなる相関器と、乗算器 51 とバンドパスフィルタ 53 からなる相関器で、それぞれ、アーリ (early) 信号、レイト (late) 信号と受信信号の相関を取り、それらを減算器 55 で差を取ることによって、図 10 に示す位相比較特性を実現している。また、図 5 では、2 つの相関器の出力を加算器 54 で加算することにより、同期検出信号を発生させている。さらに、図 5 は、実施例 3 の分周比を $N_1 = 1$ 、 $N_2 = 0$ にした特別な場合で、分周器のかわりにスイッチ回路 20 を用いた場合を示している。このスイッチ回路 20 をゲート制御信号で、2 クロック分 OFF させることにより、PN 信号のシフト量を 2 チップシフトさせることができる。

【0019】実施例 6 (請求項 6 に対応)

本発明は、上述のように、(1) 参照 PN 信号をシフトさせ、(2) その時の参照 PN 信号の位相が受信信号中の PN 信号に同期追従可能であるかを調べるという

(1)、(2) の操作を繰返して位相一致点で探索する方法であるといえる。このため、参照 PN 信号の 1 回の位相のシフト量を多くした場合、同期追従可能な位相差範囲を飛越して位相をシフトさせてしまい、位相一致点を見出せない可能性がある。この場合は、非同期状態において、参照 PN 信号と受信信号中の PN 信号とにクロック周波数差をつけて位相一致点を探索すればよい。具体的には、図 6 に示すように、位相比較回路 10 からの位相誤差信号にオフセット電圧を加えて、電圧制御クロック発生回路 12 の制御信号とする。これにより、探索されなかった参照 PN 信号の位相での同期追従可能性を調べることができ、同期獲得を行なうことができる。

【0020】

【発明の効果】以上の説明から明らかなように、本発明によれば、以下のような効果がある。

【請求項 1 に対する効果】本発明によれば、クロック周波数を変化させて参照 PN 信号の位相をシフトさせるのではなく、位相をチップ単位でシフトさせて位相一致点を探索するので、同期獲得から同期追従に移行する際に

7

クロック信号の変動がなくなり、同期追従特性を向上させることができる。また、デジタル的にPN信号の位相シフト量を制御するので、常に一定の位相シフト量が保証され、この結果、温度や時間の経過による変動、製品間のばらつき等がなくなる。

【請求項2に対する効果】PN信号発生回路に入力されるクロック信号をスイッチ回路によって制御するようにしたので、電圧制御クロックを制御することによるクロック信号の変動を無くすることができる。

【請求項3に対する効果】分周した2つの異なるクロック信号を切換えることによって、参照PN信号の位相をシフトさせるようにしたため、簡易な回路でゲート制御信号を作りだすことができる。

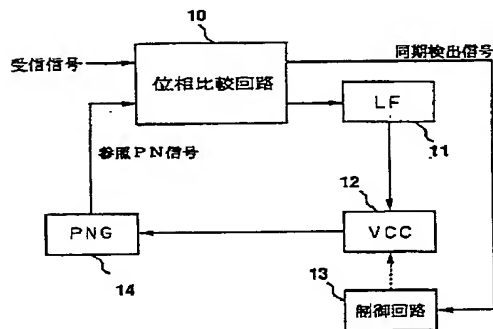
【請求項4に対する効果】分周した2つの異なるクロック信号をゲート制御信号で制御してPN信号発生回路に入力するようにしたため、参照PN信号の位相を遅らせるだけでなく、位相を進めることもできる。

【請求項5に対する効果】1Δ型の遅延ロックループを用いて、参照PN信号の位相シフト量を2チップに設定したため、同期が確実に行なえ、なおかつ同期獲得時間を短縮することができる。

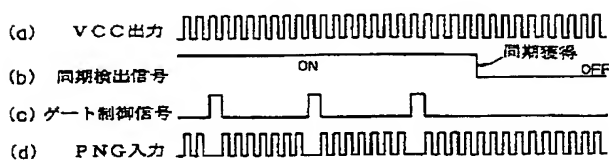
【請求項6に対する効果】参照PN信号の位相をシフトさせるだけでなく、クロック周波数も変化させて同期捕捉を行なうようにしたため、1Δ型の遅延ロックループだけでなく、一般のPN信号同期回路でも同期獲得時間を短縮することができる。

【図面の簡単な説明】

【図1】



【図7】



8

【図1】 本発明の一実施例（請求項1）を説明するための電気回路図である。

【図2】 本発明の他の実施例（請求項2）を説明するための電気回路図である。

【図3】 本発明の他の実施例（請求項3, 4）を説明するための電気回路図である。

【図4】 従来の同期獲得方式の一例を説明するための電気回路図である。

【図5】 本発明の他の実施例（請求項5）を説明するための電気回路図である。

【図6】 本発明の他の実施例（請求項6）を説明するための電気回路図である。

【図7】 実施例1, 2の動作説明をするためのタイミングチャートである。

【図8】 実施例3の動作説明をするためのタイミングチャートである。

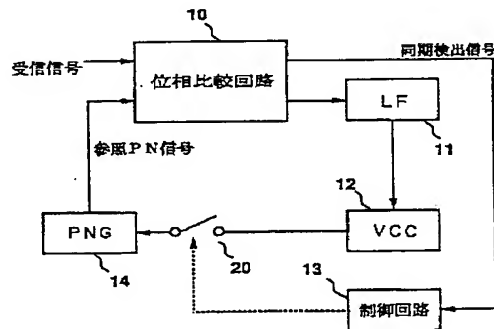
【図9】 実施例4の動作説明をするためのタイミングチャートである。

【図10】 遅延ロックループの位相比較特性を示す図である。

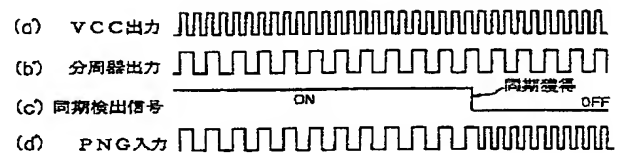
【符号の説明】

10…位相比較回路、11…ローパスフィルタ、12…電圧制御クロック発生回路、13…制御回路、14…疑似雑音信号発生回路、20, 30…スイッチ回路、31, 32…分周回路、40…定電圧発生回路、50, 51…乗算器、52, 53…バンドパスフィルタ、54…加算器、55…減算器。

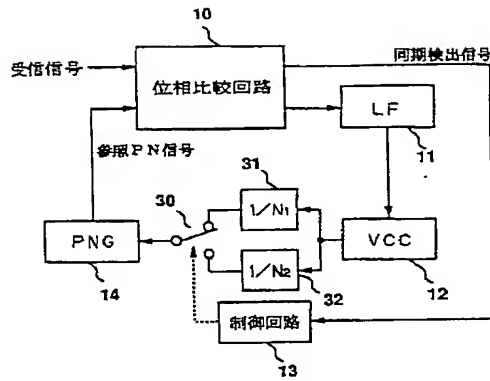
【図2】



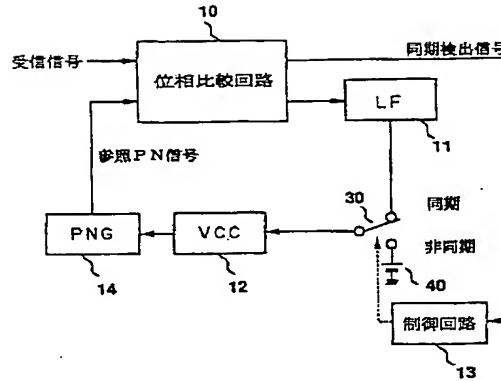
【図8】



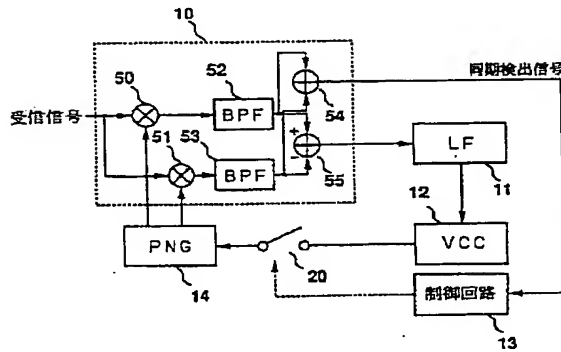
【図 3】



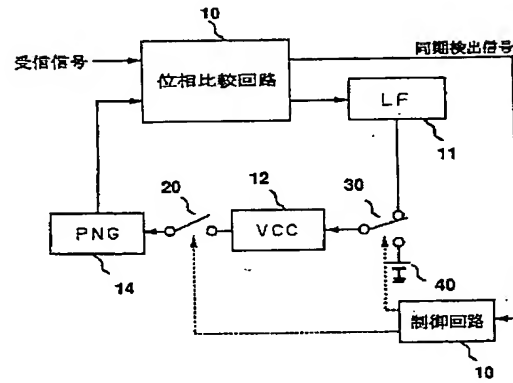
【図 4】



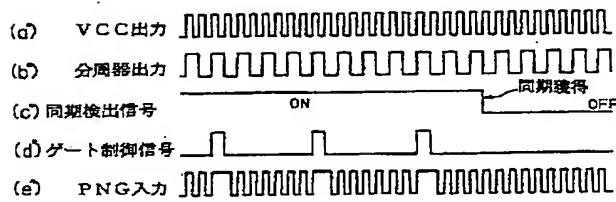
【図 5】



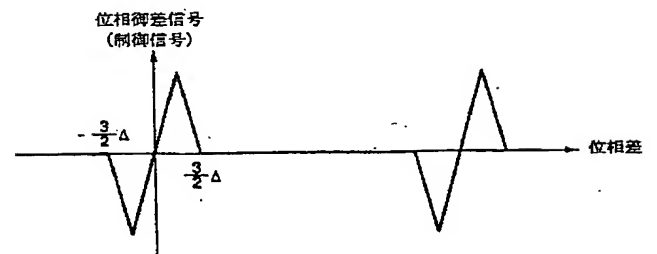
【図 6】



【図 9】



【図 10】



遅延ロックループの位相比較特性

JP08-065204A, Mar. 08, 1996, English Translation of [0005] to [0006] and Fig. 4.

[0005] Fig. 4 is a drawing of a conventional example of synchronization acquisition, and the symbol 10 in the drawing denotes a phase comparator circuit that performs the phase comparison between a PN signal of a received signal and a reference PN signal. The symbol 11 denotes a loop filter (LF) that removes the noise component of a phase error signal from the phase comparator circuit 10. The symbol 12 denotes a voltage-controlled clock (VCC) generation circuit that generates a clock signal of a frequency proportional to an input control signal. The symbol 14 denotes a PN signal generation circuit (PNG) that generates a reference PN signal using the clock from the voltage-controlled clock generation circuit 12. In addition, the symbol 30 denotes a signal switching circuit, 40 denotes a constant voltage generation circuit, and 13 denotes a control circuit that controls the switching circuit 30 in response to the synchronization/non-synchronization of the synchronization circuit.

[0006] In the non-synchronization state, the switching circuit 30, which is closed at the constant voltage generation circuit 40 side, applies a fixed voltage control signal to the voltage-controlled clock generation circuit 12 and shifts the reference signal PN to the PN signal of the received signal.

When the phase difference is small, a correlation output is obtained and a synchronization detection signal from the phase comparator circuit 10 is detected. The control circuit 13, using this synchronization detection signal, closes the switching circuit 30 at the low-pass filter 11 side and initiates synchronization tracking.

FIG. 4

A: RECEIVED SIGNAL

B: SYNCHRONIZATION DETECTION SIGNAL

10: PHASE COMPARATOR CIRCUIT

C: REFERENCE PN SIGNAL

D: SYNCHRONIZATION

E: NON-SYNCHRONIZATION

13: CONTROL CIRCUIT

